



#6  
T.BELL  
7.17.03

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of

MENG-HUANG LIU ET AL

U.S. Patent Application No. 09/853,591

Filed: May 14, 2001

For: RC CONTROLLED ESD CIRCUITS FOR MIXED-VOLTAGE INTERFACE

: Attorney Docket: 4006-122

: Group Art Unit: 2836

: Examiner: Rodriguez, Isabel

**TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Sir:

At the time the above application was filed, priority was claimed based on the following application:

*Taiwan Application No. 090100154, filed January 3, 2001.*

A copy of the priority application is enclosed.

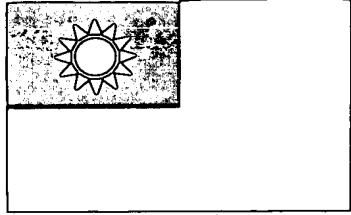
Respectfully submitted,

**LOWE HAUPTMAN GILMAN & BERNER, LLP**

Benjamin J. Hauptman  
Registration No. 29,310

RECEIVED  
JUN 30 2003  
TECHNOLOGY CENTER 2800

1700 Diagonal Road, Suite 300  
Alexandria, Virginia 22314  
(703) 684-1111 – BJH:jk  
(703) 518-5499 Facsimile  
Date: June 26, 2003



# 中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE  
MINISTRY OF ECONOMIC AFFAIRS  
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，

其申請資料如下：

This is to certify that annexed is a true copy from the records of this office of the application as originally filed which is identified hereunder:

申 請 日：西元 2001 年 01 月 03 日  
Application Date

申 請 案 號：0901100154  
Application No.

申 請 人：旺宏電子股份有限公司  
Applicant(s)

局 長

Director General

陳 明 邦

2001 5 23

發文日期：西元 2001 年 05 月 23 日  
Issue Date

發文字號：09011007407  
Serial No.

申請日期	
案號	
類別	

A4  
C4

(以上各欄由本局填註)

## 發明新型專利說明書

一、發明 名稱 新型	中文	應用於組合電壓介面之 RC 控制靜電放電防護元件
	英文	
二、發明 創作 人	姓名	一、劉孟煌 二、賴純祥 三、蘇醒 四、盧道政
	國籍	一、中華民國 二、中華民國 三、中華民國 四、中華民國
	住、居所	一、新竹縣竹東鎮光武街 81 巷 38 號 二、台中市北區北平路二段 30 巷 26-1 號 三、台北縣板橋市後埔街 58 號 4 樓 四、高雄市三民區嫩江街 1 巷 36 號
三、申請人	姓名 (名稱)	旺宏電子股份有限公司
	國籍	中華民國
	住、居所 (事務所)	新竹科學工業園區新竹市力行路 16 號
	胡定華	

裝訂

線

四、中文發明摘要（發明之名稱：）

應用於組合電壓介面之 RC 控制靜電放電防護元件

本發明揭露一種應用於組合電壓系統之靜電放電防護元件，該防護元件包含有 RC 控制電路及場效電晶體。其中 RC 控制電路，係耦合於該組合電壓系統中，用以控制該靜電放電防護元件之短路與開路。此外，場效電晶體耦合至該組合電壓系統中之第一供應電壓源與第二供應電壓源之間，並以其閘極連接至該 RC 控制電路，藉以於該系統正常操作狀態下呈現斷路狀態，而於靜電放電狀態下呈現開啟狀態。

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

英文發明摘要（發明之名稱：）

## 五、發明說明( )

### 發明領域：

本發明係與一種靜電放電（Electrostatic Discharge；簡稱 ESD）防護元件有關，特別是有關於積體電路中一種組合電壓（Mixed-Voltage）系統之的靜電放電防護元件設計。

### 發明背景：

隨著單一晶片上電路及功能的增加，單一晶片的電源接腳數目也隨之增加，以提供獨立的電源及足夠的電流來供應電路的運作，而不同的電路功能可能須使用不同的高電位電壓及低電位電壓。因此在同一積體電路中，可能會使用數組電壓不同的電源供應端，此種積體電路即為使用不同之組合電壓介面（mixed-voltage interface）系統之積體電路。

由於所供應之電壓準位的不同，組合電壓之電源供應端或電源接腳必須相互分離以保持各自的獨立性，並避免於組合電壓系統中“乾淨”及“不潔”匯流排電路間雜訊耦合（noise coupling）之不良情形發生。然而，靜電放電可能發生在積體電路的任意兩接腳之間，靜電放電的電流可能自某一輸入或輸出接腳進入積體電路，再由另一個輸入或輸出接腳排出，此分離而獨立之組合電壓電源系統將導致積體電路之靜電防護功能減弱。

舉例來說，如第一圖所示，一輸出/入電源 100 與一

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明( )

內部電路 110 彼此分開，其各自之接地端  $V_{SS0}$  與  $V_{SS1}$  亦藉由一基板電阻  $R_{SUB}$  所分開。假如一靜電放電脈波 (ESD pulse) 自輸出/入電源 100 之接腳 120 對  $V_{SS1}$  接地端之路線 1 進行放電，則此靜電放電電流將藉由路線 1 排放，且此路線 1 為電路設計中預期用來進行靜電放電電流排放之路線。然而，有時因基板電阻  $R_{SUB}$  大到形成一大的 IR 電壓降，結果造成接腳 120 與  $V_{SS1}$  接地端間之巨大壓差。若此壓差過大時則靜電放電電流將藉由非預期之路線 2 來進行靜電放電電流之排放。此時，某些內部電路 110 將因承受過大電路負荷而造成損傷。

另一方面，如第二圖所示，假若有一靜電放電防護元件 130 連接於輸出/入電源 100 之電壓  $V_{CC0}$  與內部電路 110 之電壓  $V_{CC1}$  之間，上述之靜電放電電流將可輕易地藉由寄生二極體 D1 與靜電放電防護元件 130 流至  $V_{CC1}$  端，並觸發介於內部電路 110 之高電位  $V_{CC1}$  與低電位  $V_{SS1}$  間的靜電放電箝位電路 (ESD power clamp) 140，如圖中路徑 1 所示。於此例中，假如安排另一靜電放電防護元件 150 用連接  $V_{SS0}$  與  $V_{SS1}$ ，將可更有效地針對接腳 120 與  $V_{SS1}$  之間透過路徑 2 進行靜電放電電流之放電防護。如此一來，內部電路 110 將可因避免遭受過大之負荷而保護其安全。因此，於積體電路之組合電壓系統中，靜電放電防護元件對於內部電路之保護是十分地重要。

傳統上用來當作靜電放電防護元件的有背對背二極體 (back-to-back diode) 或是相連二極體元件 (diode-connected device)，分別如第三 A 圖及第三 B 圖所示。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明( )

而背對背二極體或是相連二極體元件的數目係根據(1)雜訊免疫(noise immunity)的需求(2)V<sub>cc1</sub>與V<sub>cc2</sub>之間的電壓差而定。於情況(1)時，假若V<sub>cc1</sub>所施電壓與V<sub>cc2</sub>相同，但V<sub>cc1</sub>之雜訊預期要比V<sub>cc2</sub>來的多，於V<sub>cc1</sub>至V<sub>cc2</sub>方向上二極體的數目可增加以增強雜訊之免疫能力。然而，此增加的二極體數目卻會造成靜電放電防護元件防護效能的降級。於於情況(2)時，假若V<sub>cc1</sub>所施電壓大於V<sub>cc2</sub>，於V<sub>cc1</sub>至V<sub>cc2</sub>方向上串聯二極體所形成的壓降必須大於V<sub>cc1</sub>與V<sub>cc2</sub>間之壓差。舉例來說，至少必須以四個二極體來補償5V與3.3V所施電壓間之壓差。

如上所述，為避免於不同電壓源間之雜訊耦合必須使用許多二極體，但此舉將會造成靜電放電防護元件防護效能的降級。因此，改善此類靜電放電防護元件變得十分重要。

### 發明目的及概述：

本發明的主要目的之一係為提供一種靜電放電防護元件之設計。

本發明的再一目的係為提供一種應用於積體電路中組合電壓系統之靜電放電防護元件設計。

本發明的另一目的係為提供一種應用RC控制電路及場效電晶體之靜電放電防護元件設計，以應用於不同電壓的電壓源之間達成防護內外部電路間的靜電放電與雜訊免

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明( )

疫之功效。

根據以上所述之目的，本發明揭露了一種應用於組合電壓系統之靜電放電防護元件，該防護元件包含有 RC 控制電路及場效電晶體。其中 RC 控制電路，係耦合於該組合電壓系統中，用以控制該靜電放電防護元件之短路與開路。此外，場效電晶體耦合至該組合電壓系統中之第一供應電壓源與第二供應電壓源之間，並以其閘極連接至該 RC 控制電路，藉以於該系統正常操作狀態下呈現斷路狀態，而於靜電放電狀態下呈現開啟狀態，以達成靜電放電防護之功效。

本發明之靜電放電防護元件更可進一步再連接一場效電晶體，用以增強雜訊免疫之功效。而且本發明之靜電放電防護元件中所使用之場效電晶體可以是 P 通道電晶體，同時亦可以使用 N 通道電晶體做為本發明不同實施例之變化替換。

### 圖式簡單說明：

由以下本發明中較佳具體實施例之細節描述，可以對本發明之目的、觀點及優點有更佳的了解。同時參考下列本發明之圖式加以說明：

第一圖為獨立分離之組合電壓介面系統的電路示意圖。

第二圖為應用靜電放電防護元件之組合電壓介面系統的電路示意圖。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明( )

第三 A 圖為習知技藝之靜電放電防護元件之示意圖。

第三 B 圖為習知技藝之靜電放電防護元件之示意圖。

第四圖為本發明中應用 P 通道電晶體之靜電放電防護元件於組合電壓界面系統的電路示意圖。

第五圖為本發明中應用兩個 P 通道電晶體之靜電放電防護元件於組合電壓界面系統的電路示意圖。

第六圖為本發明中應用 N 通道電晶體之靜電放電防護元件於組合電壓界面系統的電路示意圖。

第七圖為本發明中應用兩組 N 通道電晶體之靜電放電防護元件於組合電壓界面系統的電路示意圖。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

### 圖號對照說明：

100	輸出/入電源	110	內部電路
120	接腳	130	靜電放電防護元件
140	靜電放電箝位電路	150	靜電放電防護元件
200	第一供應電壓源	210	接腳
220	靜電放電防護元件	230	RC 控制電路
232	電阻	234	電容
240	P 通道電晶體	242	閘極
244	源極	246	汲極
250	P 通道電晶體	252	閘極
254	源極	256	汲極
310	N 通道電晶體	312	閘極

## 五、發明說明( )

314	汲極	316	源極
320	RC 控制電路	322	電阻
324	電容	410	RC 控制電路
420	RC 控制電路	A	接點
D1	寄生二極體	N1	第一 N 通道電晶體
N2	第二 N 通道電晶體	NWD	深 N 井
PWI	N 井中之 P 井	Rsub	基板電阻
Vcc1	第一供應電壓源之高電位電源		
Vcc2	第二供應電壓源之高電位電源		
Vss1	第一供應電壓源之低電位電源		
Vss2	第二供應電壓源之低電位電源		
Vcco	輸出/入電源電壓	Vcci	內部電路電壓
Vss0	接地端	Vssi	接地端

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

### 發明詳細說明：

本發明揭露了一種應用於組合電壓系統之靜電放電防護元件，該防護元件包含有 RC 控制電路及場效電晶體。其中 RC 控制電路，係耦合於該組合電壓系統中，藉由控制場效電晶體之開啟與關閉，用以分辨組合電壓系統中正常之電源開啟狀況與突發之靜電放電事件。

一般而言，積體電路之組合電壓系統中正常之電源開啟狀況其啟動時間 (rise-time) 係落於毫秒 (mini-second)

## 五、發明說明( )

之等級；另一方面，突發之靜電放電事件其啟動時間係落於奈秒(nano-second)之等級。因此，本發明設計一RC控制電路使其RC時間常數為微秒(micro-second)之等級。舉例來說，該RC控制電路包含一電阻與一電容，其中電阻之電阻值為100K歐姆( $\Omega$ )，電容之電容值為10微微法拉(pF)，則其RC時間常數為1微秒。因此該RC控制電路便可以用來分辨正常之電源開啟狀況與突發之靜電放電事件。

以本發明之一實施例做說明，如第四圖所示，一靜電放電防護元件220跨接於兩組不同電壓之間，其中靜電放電防護元件220係由一RC控制電路230與一P通道電晶體240所組成，如同前述該RC控制電路230之RC時間常數屬於微秒之等級，用來分辨正常之電源開啟狀況(毫秒之等級)與突發之靜電放電事件(奈秒之等級)。該RC控制電路230包含一電阻232與一電容234，其中電阻232之一端係與第一供應電壓源200之高電位電源Vcc1相連接，另一端與電容234相連接。電容234之一端與第二供應電壓源(未顯示)之低電位電源Vss2連接，另一端與電阻232相連接。而P通道電晶體240之間極242連接於電阻232與電容234間之接點A，且P通道電晶體240之源極244與N井(未顯示)係連接至雜訊較多之電壓源，以本實施例而言為求適當之安排，考量兩種情況(1)第一供應電壓源200之高電位電源Vcc1與第二供應電壓源之高電位電源Vcc2具有相同之供應電壓電位，惟Vcc1之雜訊較Vcc2來得多。(2)第一供應電壓源200之高電位電

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明( )

源  $V_{cc1}$  之供應電壓電位與第二供應電壓源之高電位電源  $V_{cc2}$  並不相同，且  $V_{cc1}$  之供應電壓電位較  $V_{cc2}$  來得高。在上述之兩種情況下，P 通道電晶體 240 之源極 244 與 N 井（未顯示）係連接至第一供應電壓源 200 之高電位電源  $V_{cc1}$ ，P 通道電晶體 240 之汲極 246 則連接至第二供應電壓源之高電位電源  $V_{cc2}$ 。

同時本實施例靜電放電防護元件 220 中 RC 控制電路 230 之 RC 時間常數係介於足以分辨正常之電源開啟狀況與突發之靜電放電事件之間，例如介於 0.1 微秒～10 微秒之間，則該 RC 控制電路 230 之功能將類似兩組電壓源間的開關，其運作原理茲說明如下。於正常之電源開啟或操作狀況時，由於該 RC 控制電路 230 之 RC 時間常數屬於微秒等級遠小於正常狀況之毫秒等級，因此接點 A 之電壓跟隨著第一供應電壓源 200 之高電位電源  $V_{cc1}$ ，而且由於該 P 通道電晶體 240 之 N 井（未顯示）與源極 244 皆與  $V_{cc1}$  相連接之故，如此一來，該 P 通道電晶體 240 將呈現關閉狀態，而第一供應電壓源 200 之高電位電源  $V_{cc1}$  與第二供應電壓源之高電位電源  $V_{cc2}$  將有效隔離，彼此不受影響。另一方面，當第一供應電壓源 200 之接腳 210 遇到突發之靜電放電事件時，該 RC 控制電路 230 之 RC 時間常數遠大於靜電放電事件之奈秒等級，因此接點 A 之電壓提升將無法快速達到  $V_{cc1}$  使得接點 A 之電壓比起  $V_{cc1}$  來得低，此將造成該 P 通道電晶體 240 將呈現開啟狀態， $V_{cc1}$  與  $V_{cc2}$  將藉由 P 通道電晶體 240 形同等效導通，而此突發之靜電放電電流將藉由此路徑流向第二供應電壓源之高

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明( )

電位電源  $V_{cc2}$ ，再透過  $V_{cc2}$  與  $V_{ss2}$  間之靜電放電箝位電路流至  $V_{ss2}$ 。

總之，於正常狀況時，該 RC 控制電路 230 阻斷兩組供應電壓之連通；於接腳 210 遭到靜電放電事件時，該 RC 控制電路 230 與 P 通道電晶體 240 成為一靜電放電防護元件，以保護內部電路。考量  $V_{cc1}$  至  $V_{cc2}$  方向之雜訊免疫時，上述正常狀況之 P 通道電晶體 240 呈現關閉狀態，唯一可能之漏電流為次啟始漏電流 (subthreshold leakage)；當考量  $V_{cc2}$  至  $V_{cc1}$  方向時，則存在一個由 P 通道電晶體 240 中之 P+重摻雜區與 N 井所形成之寄生二極體，用以針對來自第二供應電壓源之雜訊進行放電。

如同前述，本實施例中  $V_{cc1}$  一般所遭受之雜訊多為正突波 (overshoot) 之型態，惟有時亦會發生雜訊為負突波 (undershoot) 之型態，此時此負突波之雜訊可能使得於  $V_{cc2}$  至  $V_{cc1}$  方向上 P 通道電晶體 240 將形成一順偏之寄生二極體，而使得第二供應電壓源端之內部電路遭受雜訊干擾。為加強上述  $V_{cc2}$  至  $V_{cc1}$  方向上之雜訊免疫能力，增加 P 通道電晶體的數目，如第五圖所示，增加另一 P 通道電晶體 250 於靜電放電防護元件 220 中。該 P 通道電晶體 250 係位於另一 N 井中，且該 P 通道電晶體 250 之間極 252 連接至該第二供應電壓源之低電位電源  $V_{ss2}$ ，P 通道電晶體 250 之源極 254 與該 P 通道電晶體 250 之 N 井 (未顯示) 連接至原有 P 通道電晶體 240 之汲極 246，而 P 通道電晶體 250 之汲極 256 連接至該第二供應電壓源之高電位電源  $V_{cc2}$ 。如此一來 P 通道電晶體 250 之間極 252 因連

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明( )

接至該第二供應電壓源之低電位電源  $V_{ss2}$  之故，因此 P 通道電晶體 250 將隨時呈現開啟狀態，而 P 通道電晶體 240 之開啟仍由 RC 控制電路 230 控制其開與關，因此靜電放電防護元件 220 整體之開啟與關閉仍與原先相同是由 RC 控制電路 230 與 P 通道電晶體 240 所控制。但由於 P 通道電晶體 250 之加入使得來自  $V_{cc1}$  方向上之負突波雜訊必須較先前更大方能克服由兩個 P 通道電晶體所形成寄生二極體之壓降。換言之，P 通道電晶體 250 之加入增強了靜電放電防護元件 220 於  $V_{cc2}$  至  $V_{cc1}$  方向上之雜訊免疫能力。

本發明之另一實施例中，利用三井 (triple-well) 技術以 N 通道電晶體代替上述靜電放電防護元件中之 P 通道電晶體。如第六圖所示，N 通道電晶體 310 係位於一深 N 井之中 (deep N-well；簡稱 NWD)，且 N 通道電晶體 310 之 P 井係位於此 NWD 之中 (P-well inside the deep N-well；簡稱 PWI)。為配合 N 通道電晶體 310，上述之 RC 控制電路亦需調整電阻 322 與電容 324 為相反的順序，亦即電容 324 之一端與第一供應電壓源之高電位電源  $V_{cc1}$  連接，電阻 322 則連接於第二供應電壓源之低電位電源  $V_{ss2}$  與該第一電容之另一端間。此外 N 通道電晶體 310 之間極 312 連接至電容 324 與電阻 322 間之接點 A，汲極 314 與 NWD 則連接至  $V_{cc1}$ ，源極 316 與 PWI 連接至  $V_{cc2}$ 。除此之外，此 RC 控制電路 320 如同前述其 RC 時間常數亦屬微秒等級，用以分辨正常之電源開啟狀況與突發之靜電放電事件。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明( )

當  $V_{cc1}$  遭遇突發之靜電放電事件時，接點 A 之電位隨之升高且無法即時由電阻 322 端放電，此時 N 通道電晶體 310 之間極 312 因而呈現高電位狀態而開啟 N 通道電晶體 310，突發之靜電即由  $V_{cc1}$  端流至  $V_{cc2}$  端，藉由  $V_{cc2}$  端之靜電放電箝位電路（未顯示）進行放電。另一方面，於正常狀態時，因接點 A 之電位與  $V_{ss2}$  相同而比  $V_{cc1}$  較低，因此 N 通道電晶體 310 之間極 312 呈現關閉狀態而阻斷  $V_{cc1}$  端與  $V_{cc2}$  端兩端電路，維持各自獨立互不干擾之系統。若考量  $V_{cc2}$  至  $V_{cc1}$  方向上之雜訊免疫時，亦可藉由 N 通道電晶體 310 之 PWI 與 NWD 之寄生二極體將來自  $V_{cc2}$  端之雜訊放電至  $V_{cc1}$  端。

上述之各實施例中，於  $V_{cc2}$  至  $V_{cc1}$  的方向上皆可能形成順偏寄生二極體。與前述不同的是，以下之另一實施例則藉由兩組 RC 控制電路及 N 通道電晶體個別組成之兩個靜電放電防護元件進行接腳 1 至接腳 2 與接腳 2 至接腳 1 兩方向之雜訊免疫。如第七圖所示，其中第一 N 通道電晶體 N1 與第二 N 通道電晶體 N2 係位於 P 型底材或 P 井中，並分別連接第一供應電壓源之低電位電源  $V_{ss1}$  與第二供應電壓源之低電位電源  $V_{ss2}$ ，因此 N1 與 N2 便無法形成順偏之寄生二極體。取而代之的是，以第一組靜電放電防護元件中第一 N 通道電晶體 N1 與第一 RC 控制電路 410 係用以進行接腳 1 至接腳 2 方向之雜訊免疫；而於第二組靜電放電防護元件中第二 N 通道電晶體 N2 與第二 RC 控制電路 420 係用以進行接腳 2 至接腳 1 方向之雜訊免疫。

綜合以上，本發明揭露了一種應用於組合電壓系統之

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明( )

靜電放電防護元件，其中以 RC 控制電路控制場效電晶體之開啟與關閉，用以分辨組合電壓系統中正常之電源開啟狀況與突發之靜電放電事件，以達到正常狀況時，不同之組合電壓系統能各自獨立運作不受彼此之影響；而於遭遇靜電放電事件亦能將該靜電放電，以保護電路之安全性與增加雜訊免疫之功效。

如熟悉此技術之人員所瞭解的，以上所述僅為本發明之較佳實施例而已，並非用以限定本發明之申請專利範圍；凡其它未脫離本發明所揭示之精神下所完成之等效改變或修飾，均應包含在下述之申請專利範圍內。

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線

## 六、申請專利範圍

1. 一種應用於組合電壓系統之靜電放電防護元件，該元件至少包含：

一 RC 控制電路，耦合至該組合電壓系統中，用以控制該靜電放電防護元件之短路與開路；以及

一第一電晶體，耦合至該組合電壓系統中之第一供應電壓源與第二供應電壓源之間，其中該第一電晶體連接至該 RC 控制電路。

2. 如申請專利範圍第 1 項所述之元件，其中上述之 RC 控制電路至少包含：

一電阻，其中該電阻之一端與該第一供應電壓源之高電位電源連接；以及

一電容，連接於第二供應電壓源之低電位電源與該電阻之另一端間，藉以由該電阻與該電容控制該第一電晶體之開啟與關閉。

3. 如申請專利範圍第 2 項所述之元件，其中上述之電阻與該電容間所產生之 RC 時間常數係介於 0.1 微秒至 1.0 微秒之間。

4. 如申請專利範圍第 2 項所述之元件，其中上述之第一電晶體係為第一 P 通道電晶體，以及該第一 P 通道電晶體之閘極連接於該電阻與該電容之間，該第一 P 通道電晶體之源極連接至該第一供應電壓源之該高電位電源，該第一 P 通道電晶體之汲極連接至該第二供應電壓源之高電

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 六、申請專利範圍

位電源。

5.如申請專利範圍第4項所述之元件，其中上述之第一P通道電晶體係位於一第一N井之中，並且該第一N井與該第一供應電壓源之該高電位電源相連接。

6.如申請專利範圍第5項所述之元件，其中更包含一第二P通道電晶體位於一第二N井之中，該第二P通道電晶體之間極連接至該第二供應電壓源之該低電位電源，該第二P通道電晶體之源極與該第二N井連接至該第一P通道電晶體之汲極，該第二P通道電晶體之汲極連接至該第二供應電壓源之該高電位電源。

7.如申請專利範圍第1項所述之元件，其中上述之RC控制電路至少包含：

一第一電容，其中該第一電容之一端與該第一供應電壓源之高電位電源連接；以及

一第一電阻，連接於第二供應電壓源之低電位電源與該第一電容之另一端間，藉以由該第一電容與該第一電阻控制該第一電晶體之開啟與關閉。

8.如申請專利範圍第7項所述之元件，其中上述之第一電阻與該第一電容間所產生之RC時間常數係介於0.1微秒至10微秒之間。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 六、申請專利範圍

9.如申請專利範圍第 8 項所述之元件，其中上述之第一電晶體係為第一 N 通道電晶體，以及該第一 N 通道電晶體之閘極連接於該第一電容與該第一電阻之間，該第一 N 通道電晶體之汲極連接至該第一供應電壓源之該高電位電源，該第一 N 通道電晶體之源極連接至該第二供應電壓源之高電位電源。

10.如申請專利範圍第 9 項所述之元件，其中上述之第一 N 通道電晶體係位於一 P 井之中，並且該 P 井位於一 N 井之中並與該第二供應電壓源之該高電位電源相連接。

11.如申請專利範圍第 9 項所述之元件，其中更包含一第二 N 通道電晶體，耦合至該組合電壓系統中之第一供應電壓源與第二供應電壓源之間，其中該第二 N 通道電晶體連接至該 RC 控制電路，藉以於靜電進入該第一供應電壓源時該第一 N 通道電晶體呈開啟狀態且該第二 N 通道電晶體呈關閉狀態，於靜電進入該第二供應電壓源時該第一 N 通道電晶體呈關閉狀態且該第二 N 通道電晶體呈開啟狀態。

12.如申請專利範圍第 11 項所述之元件，其中上述之 RC 控制電路更包含：

一 第二電容，其中該第二電容之一端與該第二供應電壓源之該高電位電源連接；以及

一 第二電阻，連接於第一供應電壓源之低電位電源與

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 六、申請專利範圍

該第二電容之另一端間，藉以由該第二電容與該第二電阻控制該第二N通道電晶體之開啟與關閉。

13.如申請專利範圍第12項所述之元件，其中上述之第二電阻與該第二電容間所產生之RC時間常數係介於0.1微秒至10微秒之間。

14.如申請專利範圍第12項所述之元件，其中上述之第二N通道電晶體之閘極連接至該第二電容與該第二電阻之間，該第二N通道電晶體之汲極連接至該第二供應電壓源之該高電位電源，該第二N通道電晶體之源極連接至該第一供應電壓源之該高電位電源。

15.如申請專利範圍第11項所述之元件，其中上述之第一N通道電晶體係位於一第一P井之中。

16.如申請專利範圍第11項所述之元件，其中上述之第二N通道電晶體係位於一第二P井之中。

17.一種應用於組合電壓系統之靜電放電防護元件，該元件至少包含：

一RC控制電路，耦合至該組合電壓系統中，該RC控制電路包含一電阻及一電容，且該電阻及該電容產生之RC時間常數係介於靜電放電之啟動時間與該組合電壓系統正常狀態之啟動時間之間，用以控制該靜電放電防護元件之

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 六、申請專利範圍

短路與開路；以及

一第一 P 通道電晶體，耦合至該組合電壓系統中之第一供應電壓源與第二供應電壓源之間，其中該第一 P 通道電晶體之閘極連接至該電阻與該電容之間，該第一 P 通道電晶體之源極係連接至該第一供應電壓源之高電位電源，該第一 P 通道電晶體之汲極連接至該第二供應電壓源之高電位電源。

18.如申請專利範圍第 17 項所述之元件，其中上述之 RC 控制電路中該電阻之一端與該第一供應電壓源之該高電位電源連接，且上述之 RC 控制電路中該電容連接於第二供應電壓源之低電位電源與該電阻之另一端間，且該電阻與該電容間所產生之 RC 時間常數係介於 0.1 微秒至 10 微秒之間，藉以控制該第一 P 通道電晶體之開啟與關閉。

19.如申請專利範圍第 17 項所述之元件，其中上述之第一 P 通道電晶體係位於一 N 井之中，並且該 N 井與該第一供應電壓源之該高電位電源相連接。

20.如申請專利範圍第 19 項所述之元件，其中更包含一第二 P 通道電晶體位於一第二 N 井之中，該第二 P 通道電晶體之閘極連接至該第二供應電壓源之該低電位電源，該第二 P 通道電晶體之源極與該第二 N 井連接至該第一 P 通道電晶體之汲極，該第二 P 通道電晶體之汲極連接至該第二供應電壓源之該高電位電源。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 六、申請專利範圍

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

21. 一種應用於組合電壓系統之靜電放電防護元件，該元件至少包含：

一 RC 控制電路，耦合至該組合電壓系統中，該 RC 控制電路包含一第一電阻及一第一電容，且該第一電阻及該第一電容產生之 RC 時間常數係介於靜電放電之啟動時間與該組合電壓系統正常狀態之啟動時間之間，用以控制該靜電放電防護元件之短路與開路；以及

一第一 N 通道電晶體，耦合至該組合電壓系統中之第一供應電壓源與第二供應電壓源之間，其中該第一 N 通道電晶體之閘極連接至該電阻與該電容之間，該第一 N 通道電晶體之汲極係連接至該第一供應電壓源之高電位電源，該第一 N 通道電晶體之源極連接至該第二供應電壓源之高電位電源。

22. 如申請專利範圍第 21 項所述之元件，其中上述之 RC 控制電路中該第一電容之一端與該第一供應電壓源之該高電位電源連接，且上述之 RC 控制電路中該第一電阻連接於第二供應電壓源之低電位電源與該第一電容之另一端間，且該第一電阻與該第一電容間所產生之 RC 時間常數係介於 0.1 微秒至 10 微秒之間，藉以控制該第一 N 通道電晶體之開啟與關閉。

23. 如申請專利範圍第 21 項所述之元件，其中上述之第一 N 通道電晶體係位於一 P 井之中，並且該 P 井位於一

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 六、申請專利範圍

N 井之中並與該第二供應電壓源之該高電位電源相連接。

24.如申請專利範圍第 22 項所述之元件，其中更包含：

一第二電容，其中該第二電容之一端與該第二供應電壓源之該高電位電源連接；

一第二電阻，連接於第一供應電壓源之低電位電源與該第二電容之另一端間；以及

一第二 N 通道電晶體，耦合至該組合電壓系統中之第一供應電壓源與第二供應電壓源之間，其中該第二 N 通道電晶體連接至該第二電容與第二電阻之間，藉以於靜電進入該第一供應電壓源時該第一 N 通道電晶體呈開啟狀態且該第二 N 通道電晶體呈關閉狀態，於靜電進入該第二供應電壓源時該第一 N 通道電晶體呈關閉狀態且該第二 N 通道電晶體呈開啟狀態。

25.如申請專利範圍第 24 項所述之元件，其中上述之第二電阻與該第二電容間所產生之 RC 時間常數係介於 0.1 微秒至 10 微秒之間。

26.如申請專利範圍第 24 項所述之元件，其中上述之第二 N 通道電晶體之閘極連接至該該第二電容與該第二電阻之間，該第二 N 通道電晶體之汲極連接至該第二供應電壓源之該高電位電源，該第二 N 通道電晶體之源極連接至該第一供應電壓源之該高電位電源。

## 六、申請專利範圍

27. 如申請專利範圍第 24 項所述之元件，其中上述之第一 N 通道電晶體係位於一第一 P 井之中。

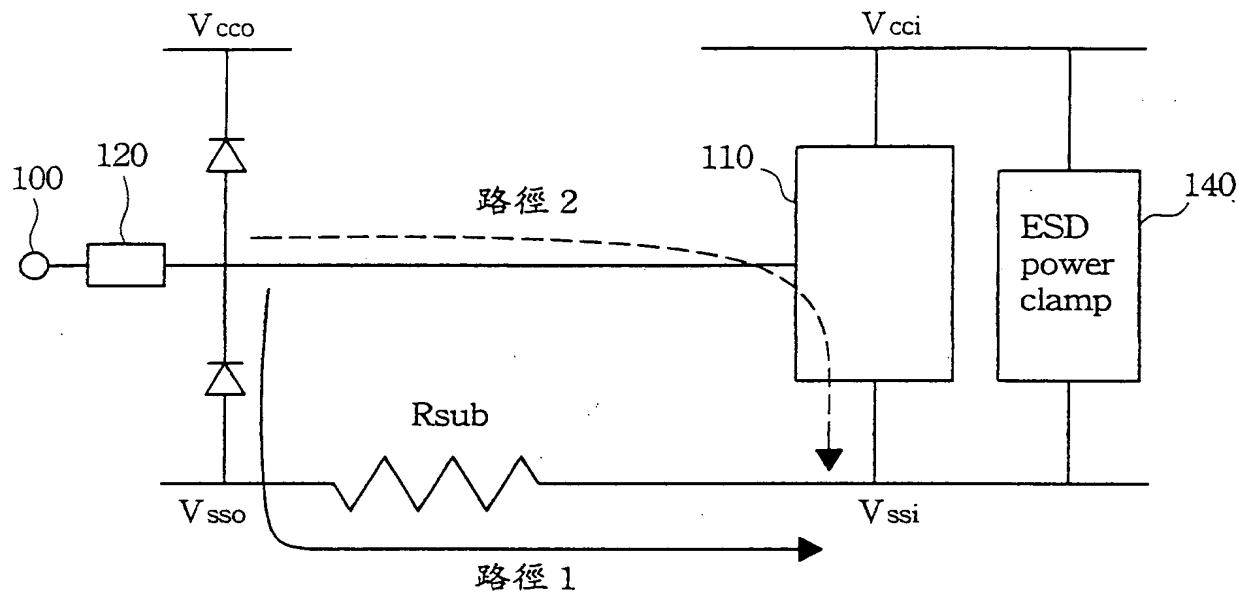
28. 如申請專利範圍第 24 項所述之元件，其中上述之第二 N 通道電晶體係位於一第二 P 井之中。

(請先閱讀背面之注意事項再填寫本頁)

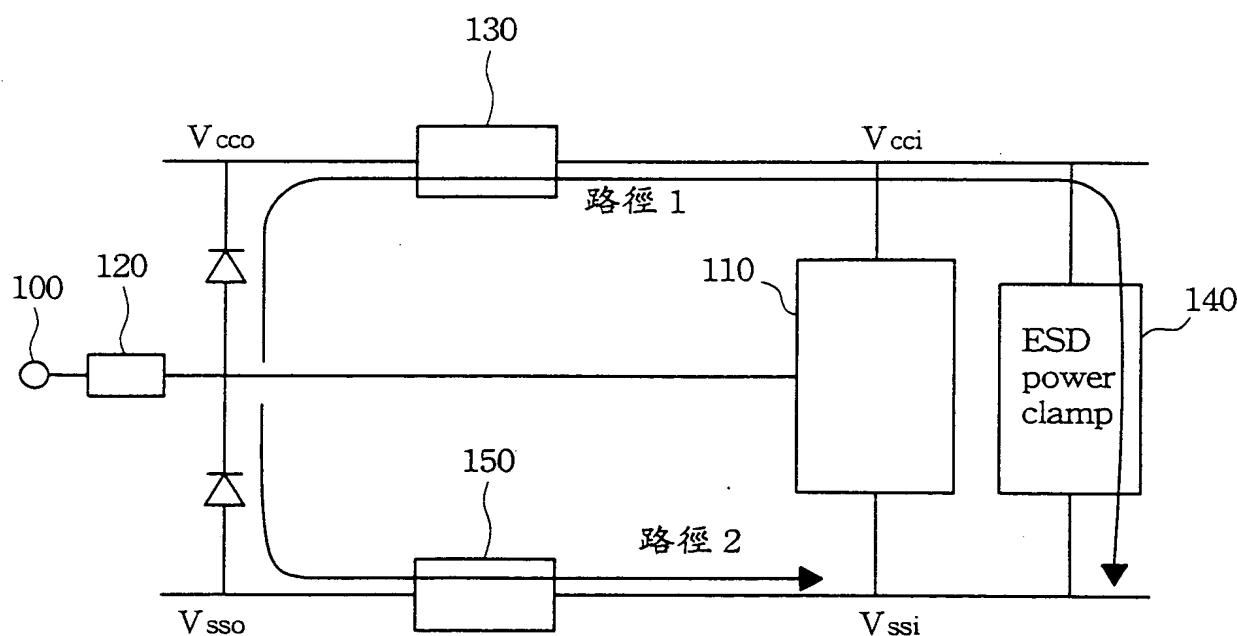
裝

訂

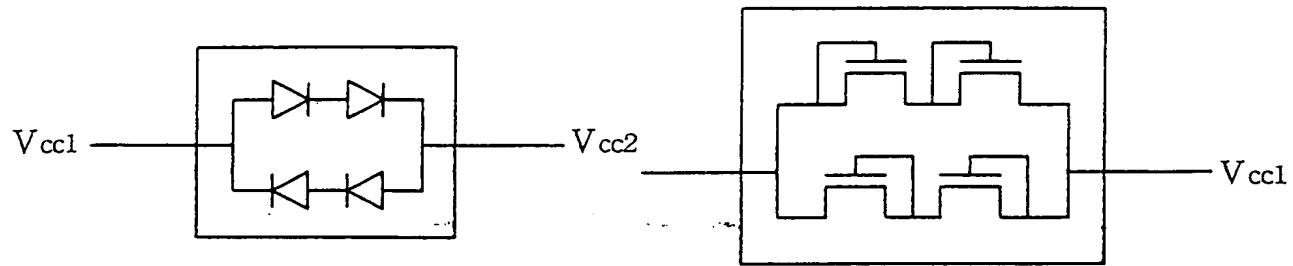
線



第一圖

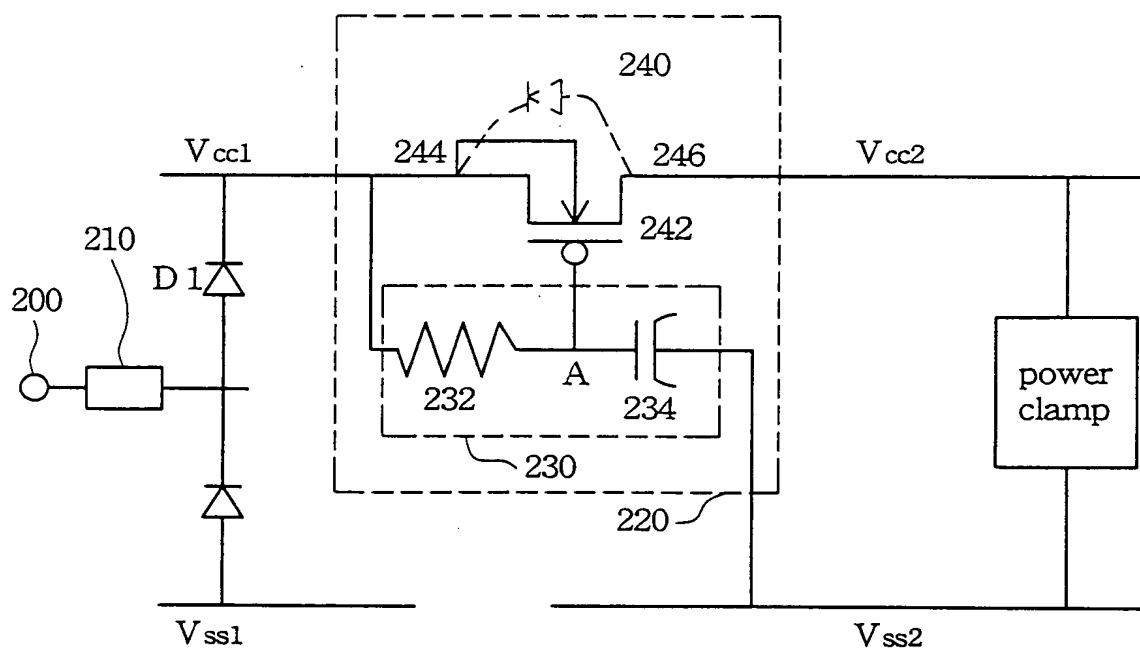


第二圖

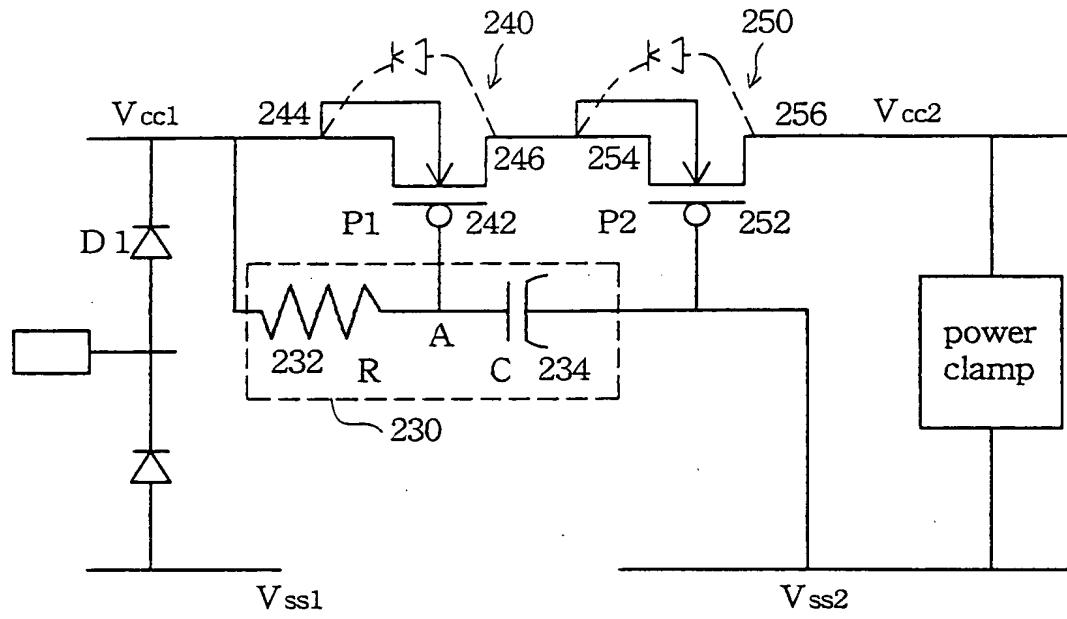


第三 A 圖

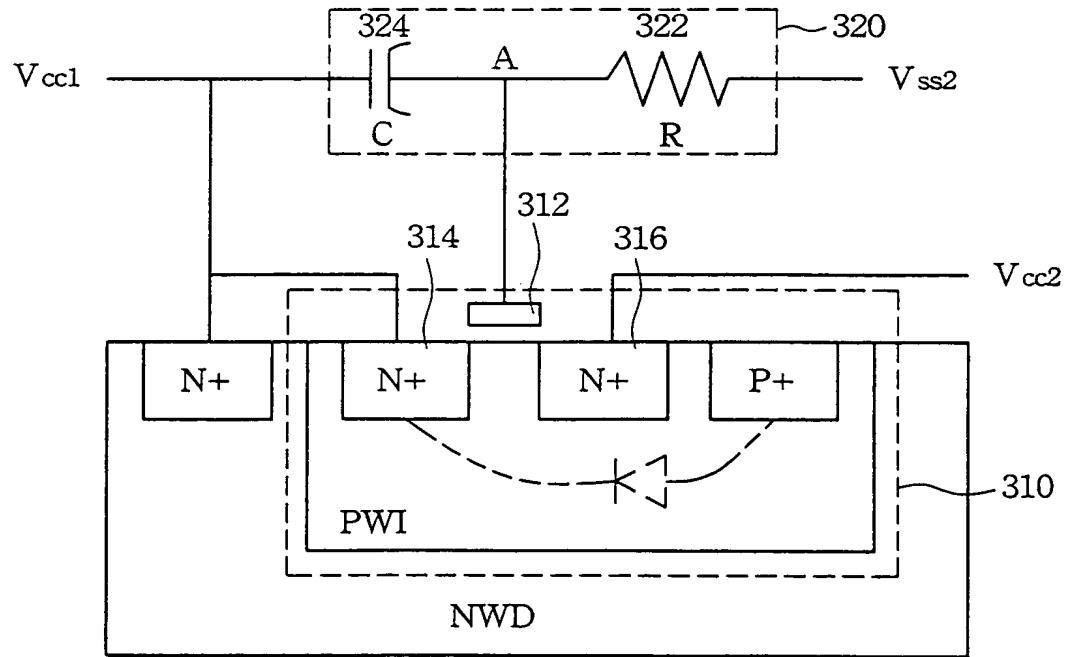
第三 B 圖



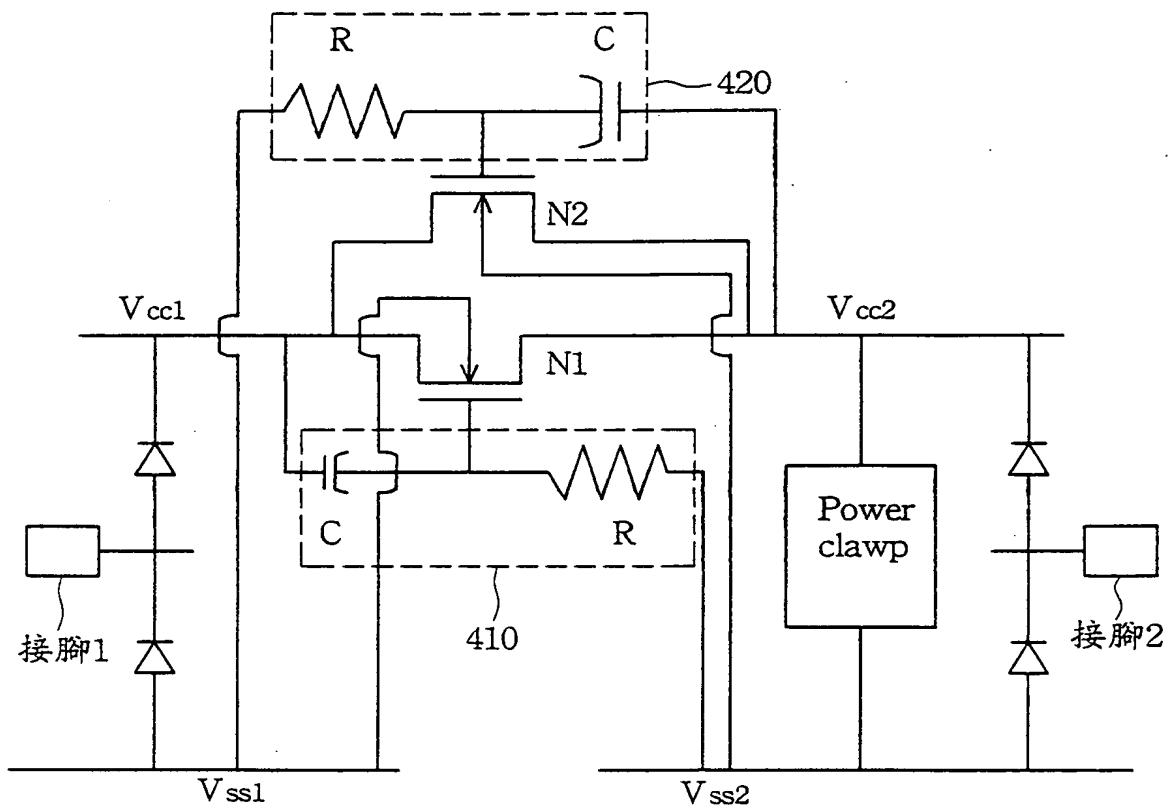
第四 圖



第五圖



第六圖



第七圖